

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 0 4 1 6 8

(43) 公開日 平成 6 年 (1 9 9 4) 7 月 2 2 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/28	301	R 7376-4M		
G02F 1/136	500	9018-2K		
H01L 21/90		D 7514-4M		
29/40		A 7376-4M		
29/784				

審査請求 未請求 請求項の数 3 (全 6 頁) 最終頁に続く

(21) 出願番号 特願平 4 - 3 5 8 5 5 8
(22) 出願日 平成 4 年 (1 9 9 2) 1 2 月 2 8 日

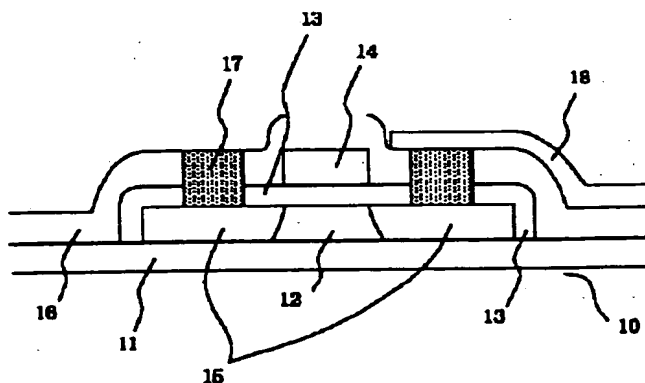
(71) 出願人 0 0 0 0 0 1 0 0 7
キャノン株式会社
東京都大田区下丸子 3 丁目 3 0 番 2 号
(72) 発明者 藤原 浩
東京都大田区下丸子 3 丁目 3 0 番 2 号 キ
ャノン株式会社内
(72) 発明者 坂本 勝
東京都大田区下丸子 3 丁目 3 0 番 2 号 キ
ャノン株式会社内
(74) 代理人 弁理士 豊田 善雄 (外 1 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 優れたコンタクト特性を示す、高速かつ低消費電力の半導体装置を提供する。

【構成】 I T O 薄膜と S i 領域との間に T a 及び T a 化合物より選ばれる少なくとも一種よりなる層を設けた半導体装置。



【特許請求の範囲】

【請求項 1】 ITO 薄膜と Si 領域との間に、少なくとも Ta 及び Ta 化合物より選ばれる少なくとも一種よりなる層を設けたことを特徴とする半導体装置。

【請求項 2】 Ta 及び Ta 化合物より選ばれる少なくとも一種よりなる層を、ITO 薄膜と、ITO 薄膜と Si 領域との間に設けられた Al 領域との間に設けたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 ITO 薄膜と Si 領域との間に、少なくとも Ta 及び Ta 化合物より選ばれる少なくとも一種よりなる層を設けたことを特徴とする液晶画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置、特に液晶表示装置、光電交換装置等に好適に使用し得る、安定かつ優れたコンタクト特性を示す半導体装置に関する。

【0002】

【従来の技術】従来、n 型又は p 型 Si と ITO 膜とのコンタクト構造として、Si と ITO 膜のコンタクトを直接取る構造（特開昭 58-190063 号公報）、Si と ITO 膜を In、Sn 等のバリアメタルを介してコンタクトを取る構造（特開昭 59-22361 号公報、特開昭 59-40582 号公報）等があった。

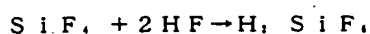
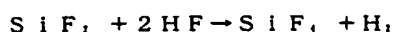
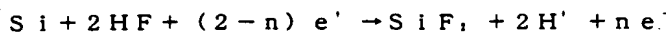
【0003】しかし、上記従来の方法ではオーミックコンタクトを取りにくい、或いはコンタクト抵抗値が KΩ ~ MΩ 台と大きくなる、更には、ITO の蒸着後、層間絶縁膜を蒸着する工程（250℃以上の熱処理）、或いは最終工程（400℃以上の熱処理）でコンタクト値が更に上昇するという問題もあり、電子特性のばらつき、遅延時間を大きくし、信頼性低下の原因となっていた。

【0004】

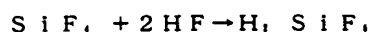
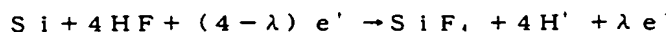
【発明が解決しようとする課題】本発明は上記問題点、特に 400℃以上という高温熱処理におけるコンタクト値の上昇を解決し、優れたコンタクト特性を示す高速かつ低消費電力の半導体装置を提供し、更に、該半導体装置を利用した画像品質の高い液晶表示装置、光電交換装置を提供することを目的とする。

【0005】

【課題を解決するための手段】即ち本発明は、ITO 薄膜と Si 領域との間に少なくとも Ta 及び Ta 化合物より選ばれる少なくとも一種よりなる層を設けたことを特



又は、



ここで、 e^- 及び、 e^+ はそれぞれ、正孔と電子を表している。また、n 及び λ はそれぞれ Si 1 原子が溶解するために必要な正孔の数であり、 $n > 2$ 又は、 $\lambda > 4$ な

微とする半導体装置である。

【0006】ここで、Ta 化合物としては、Ta を含有する化合物であれば特に限定されないが、例えば TaN、TaON、TaSi 等が挙げられる。

【0007】本発明の半導体装置はガラス基板上に形成しても良いし、Si 基板上に形成しても良い。

【0008】特に、本発明の半導体装置を液晶表示装置に適用する場合には、以下に示す方法により製造される単結晶 Si 層を有する半導体基板を用いることにより、液晶素子、液晶駆動回路及びその他の周辺駆動回路を同時に同一基板上に作成することができ、好ましい。以下、その方法につき説明する。

【0009】半導体基板の単結晶 Si 層は単結晶 Si 基体を多孔質化した多孔質 Si 基体を用いて形成したものである。

【0010】この多孔質 Si 基体には、透過型電子顕微鏡による観察によれば、平均約 600 Å 程度の径の孔が形成されており、その密度は単結晶 Si に比べると、半分以下になるにもかかわらず、その単結晶性は維持されており、多孔質層の上部へ単結晶 Si 層をエピタキシャル成長させることも可能である。ただし、1000℃以上では、内部の孔の再配列が起こり、増速エッチングの特性が損なわれる。このため、Si 層のエピタキシャル成長には、分子線エピタキシャル成長法、プラズマ CVD 法、熱 CVD 法、光 CVD 法、バイアス・スパッタ法、液晶成長法等の低温成長が好適とされる。

【0011】ここで P 型 Si を多孔質化した後に単結晶層をエピタキシャル成長させる方法について説明する。

【0012】先ず、Si 単結晶基体を用意し、それを HF 溶液を用いた陽極化成法によって、多孔質化する。単結晶 Si の密度は 2.33 g/cm^3 であるが、多孔質 Si 基体の密度は HF 溶液濃度を 20~50 重量%に変化させることで、 $0.6 \sim 1.1 \text{ g/cm}^3$ に変化させることができる。この多孔質層は下記の理由により、P 型 Si 基体に形成され易い。

【0013】多孔質 Si は半導体の電解研磨の研究過程において発見されたものであり、陽極化成における Si の溶解反応において、HF 溶液中の Si の陽極反応には正孔が必要であり、その反応は、次のように示される。

【0014】

る条件が満たされた場合に多孔質 Si が形成されるとしている。

【0015】以上のことから、正孔の存在する P 型 Si

は、多孔質化され易いと言える。

【0016】一方、高濃度N型Siも多孔質化されうることが報告されているおり、従って、P型、N型の別にこだわらずに多孔質化を行うことができる。

【0017】また、多孔質層はその内部に大量の空隙が形成されているために、密度が半分に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶層のエッチング速度に比べて著しく増速される。

【0018】単結晶Siを陽極化成によって多孔質化する条件を以下に示す。尚、陽極化成によって形成する多孔質Siの出発材料は、単結晶Siに限定されるものではなく、他の結晶構造のSiでも可能である。

【0019】

印加電圧： 2.6 (V)

電流密度： 30 (mA・cm⁻¹)

陽極化成溶液： HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間： 2.4 (時間)

多孔質Siの厚み： 300 (μm)

Porosity： 56 (%)

このようにして形成した多孔質Si基体の上にSiをエピタキシャル成長させて単結晶Si薄膜を形成する。単結晶Si薄膜の厚さは好ましくは50μm以下、さらに好ましくは20μm以下である。

【0020】次に上記単結晶Si薄膜表面を酸化した後、最終的に基板を構成することになる基体を用意し、単結晶Si表面の酸化膜と上記基体を貼り合わせる。或いは新たに用意した単結晶Si基体の表面を酸化した後、上記多孔質Si基体上の単結晶Si層と貼り合わせる。この酸化膜を基体と単結晶Si層の間に設ける理由は、例えば基体としてガラスを用いた場合、Si活性層の下地界面により発生する界面準位は上記ガラス界面に比べて、酸化膜界面の方が準位を低くできるため、電子デバイスの特性を、著しく向上させることができるためである。さらに、後述する選択エッチングにより多孔質Si気体をエッチング除去した単結晶Si薄膜のみを新しい基体に貼り合わせても良い。貼り合わせはそれぞれの表面を洗浄後に室温で接触させるだけでファンデルワールス力で簡単には剥すことができない程十分に密着しているが、これをさらに200～900℃、好ましくは600～900℃の温度で窒素雰囲気下熱処理し完全に貼り合わせる。

【0021】さらに、上記の貼り合わせた2枚の基体全体にSi₃N₄層をエッチング防止膜として堆積し、多孔質Si基体の表面上のSi₃N₄層のみを除去する。このSi₃N₄層の代わりにアビエソソックスを用いても良い。この後、多孔質Si基体を全部エッチング等の手段で除去することにより薄膜単結晶Si層を有する半導体基板が得られる。

【0022】この多孔質Si基体のみを無電解湿式エッチングする選択エッチング法について説明する。

【0023】結晶Siに対してはエッチング作用を持たず、多孔質Siのみを選択エッチング可能なエッチング液としては、弗酸、フッ化アンモニウム(NH₄F)やフッ化水素(HF)等バッファード弗酸、過酸化水素水を加えた弗酸又はバッファード弗酸の混合液、アルコールを加えた弗酸又はバッファード弗酸の混合液、過酸化水素水とアルコールとを加えた弗酸又はバッファード弗酸の混合液が好適に用いられる。これらの溶液に貼り合わせた基板を湿潤させてエッチングを行う。エッチング速度は弗酸、バッファード弗酸、過酸化水素水の溶液濃度及び温度に依存する。過酸化水素水を添加することによって、Siの酸化を増速し、反応速度を無添加に比べて増速することが可能となり、さらに過酸化水素水の比率を変えることにより、その反応速度を制御することができる。またアルコールを添加することにより、エッチングによる反応生成気体の気泡を、瞬時にエッチング表面から攪拌することなく除去でき、均一に且つ効率よく多孔質Siをエッチングすることができる。

【0024】バッファード弗酸中のHF濃度は、エッチング液に対して、好ましくは1～95重量%、より好ましくは1～85重量%、さらに好ましくは1～70重量%の範囲で設定され、バッファード弗酸中のNH₄F濃度は、エッチング液に対して、好ましくは1～95重量%、より好ましくは5～90重量%、さらに好ましくは5～80重量%の範囲で設定される。

【0025】HF濃度は、エッチング液に対して、好ましくは1～95重量%、より好ましくは5～90重量%、さらに好ましくは5～80重量%の範囲で設定される。

【0026】H₂O₂濃度は、エッチング液に対して、好ましくは1～95重量%、より好ましくは5～90重量%、さらに好ましくは10～80重量%で、且つ上記過酸化水素水の効果を奏する範囲で設定される。

【0027】アルコール濃度は、エッチング液に対して、好ましくは80重量%、より好ましくは60重量%以下、さらに好ましくは40重量%以下で、且つ上記アルコールの効果を奏する範囲で設定される。

【0028】温度は、好ましくは0～100℃、より好ましくは5～80℃、さらに好ましくは5～60℃の範囲で設定される。

【0029】本工程に用いられるアルコールはエチルアルコールの他、イソプロピルアルコールなど製造工程等に実用上差し支えなく、さらに上記アルコール添加効果を望むことのできるアルコールを用いることができる。

【0030】このようにして得られた半導体基板は、通常のSiウエハーと同等な単結晶Si層が平坦にしかも均一に薄膜化されて基板全域に大面積に形成されている。

【0031】この半導体基板の単結晶Si層を部分酸化法或いは島状にエッチングすることにより分離し、不純物をドーピングしてp或いはnチャネルトランジスタを形成する。

【0032】

【実施例】以下、実施例により本発明を詳細に説明する。

【0033】（実施例1）図1は本実施例のコンタクト構造の断面図である。図1において、上述した方法により作成した半導体基板10上に絶縁膜11を介して単結晶Si層にTFTが形成され、更に絶縁膜16を介してITO膜18が形成されている。12~15はそれぞれTFTのチャンネル部、ゲート絶縁膜、ゲート電極、ソース・ドレイン領域である。

【0034】本実施例においてはITO膜18中の酸素がソースドレイン領域15まで拡散しない様に、ソースドレイン領域15とITO膜18の接触部にバリアメタルとしてTa層17を設けている。Ta層17を形成することにより、ITO膜18に含まれる酸素が、後工程の熱処理によってソース・ドレイン領域15まで移動し、コンタクト特性を劣化することを防止できる。

【0035】以下、図2を用いて製造工程の概略を説明する。

【0036】図2(a)に示す様に半導体基板20上に絶縁膜21を介して単結晶シリコン層22を島状に形成する。その後、ゲート絶縁膜23を形成する。

【0037】続いて、図2(b)に示す様に、ゲート電極24を形成し、パターニング後、ゲート電極24をマスクとしてソース・ドレイン領域25をイオン注入、あるいはイオンドーピングにより形成した後、層間絶縁膜26を形成する。

【0038】更に、図2(c)に示す様に、ソース・ドレイン領域25にドライエッチングを用いてコンタクト窓開けを行う。続いてCVD法、またはスパッタ法を用いてTa層27を形成する。膜厚は500オングストローム以上であれば、酸素に対する阻止能は十分であるが、成膜方法等により粒径等が異なることにより1000オングストローム以上が望ましい。

【0039】その後、このTa層27をパターニングし、ITOを形成する。ITOはスパッタ法により形成するのがよい。CVD法では、ITOの酸素含有量により膜特性が変化するため、抵抗値の小さいITOを形成するのは困難である。

【0040】ITOの成膜条件は、基板温度200℃、ArとO₂（1%）の雰囲気中（1Pa）、300Wのパワーでスパッタした。

【0041】（実施例2）Ta17をTaONまたはTa₂Nとした以外は実施例1と同様にして、コンタクト構造を製造した。実施例1に比べコンタクト抵抗は更に低減した。

【0042】（実施例3）図3は本実施例のコンタクト構造の断面図である。コンタクトホールを開口した後、Al19とTa₂N又はTaON17を連続でスパッタしてパターニング後、ITO膜18を堆積した以外は実施例1と同様である。

【0043】（実施例4）図4は本実施例のコンタクト構造の断面図である。コンタクトホールを開口した後、Al19とTa₂N又はTaON17を連続でスパッタしてパターニング後、層間絶縁膜30を堆積し、スルーホールを開口した後、ITO膜18を堆積した以外は実施例1と同様である。

【0044】（実施例5）図5は本実施例のコンタクト構造の断面図である。TFT102~105をガラス基板101上のポリシリコンで形成した以外は実施例1と同様である。尚、TFT102~105をガラス基板101上のアモルファスシリコンで形成しても問題はない。更に、実施例2~4の態様を本実施例に応用可能なことは言うまでもない。

【0045】（実施例6）図6は本実施例のコンタクト構造の断面図である。図6において、ガラス基板301上にアモルファスシリコンTFT302~305が形成され、絶縁膜306を介してITO膜308が形成されている。302~305はそれぞれTFTのチャンネル層、ゲート絶縁膜、ゲート電極、ソース・ドレイン領域である。

【0046】本実施例においても実施例1と同様に、ソースドレイン領域305とITO膜308の接触部にバリアメタルとしてTa層307を設けている。

【0047】以下、図7を用いて製造工程の概略を説明する。

【0048】図7(a)に示す様にガラス基板401にバッファ層としてSiO₂膜400をスパッタ法により堆積する。次にゲート電極404を形成し、パターニングする。

【0049】更に、図7(b)に示す様に、ゲート絶縁膜403、チャンネル層402、高濃度層を連続して成膜し、高濃度層をパターニングして、ソース・ドレイン領域405とする。

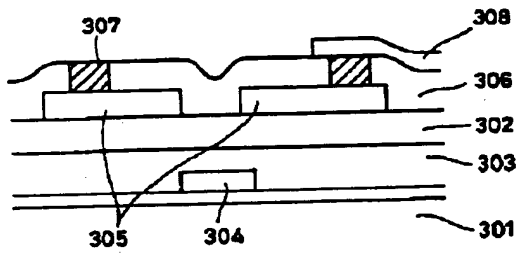
【0050】更に、図7(c)に示す様に、層間絶縁膜406を形成した後、ソース・ドレイン領域405にドライエッチングを用いてコンタクトホールの開口を行う。続いてCVD法、またはスパッタ法を用いてTa407を形成した後パターニングし、ITOを形成する。ITOの形成条件は実施例1と同様である。

【0051】尚、本実施例においても、実施例2~4の態様を応用可能なことは言うまでもない。

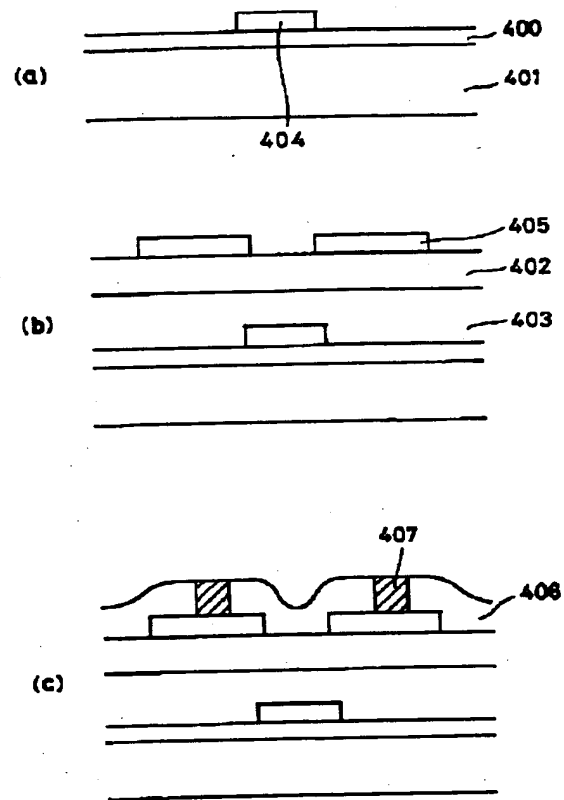
【0052】（実施例7）上記の実施例1~6のコンタクト構造を使用してムービー用ファインディングに用いる液晶ディスプレイ（EVF）及びプロジェクタ用として用いる液晶ディスプレイ（PTV）を作成した。EVF、P

A cross-sectional view of a semiconductor device. A central gate structure (103) is positioned on a substrate (101). The gate structure includes a gate dielectric (104) and a gate electrode (107). The gate electrode is connected to a central contact (102) and two side contacts (105). The side contacts are connected to a common contact (108). The substrate (101) is shown with a top surface (106) and a bottom surface (109).

【図 6】



【図 7】



フロントページの続き

(51) Int. Cl. ⁵

識別記号

庁内整理番号
9056-4MF I
H01L 29/78

311 S

技術表示箇所